

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **H10-017393**

(43)Date of publication of application : **20.01.1998**

(51)Int.Cl.

**C30B 29/06
C23F 4/00
C30B 33/12
H01L 21/3065**

(21)Application number : **08-188336**

(71)Applicant : **NISSHINBO IND INC**

(22)Date of filing :

28.06.1996

(72)Inventor :

**SAITO KAZUO
MOCHIZUKI YASUSHI
YAMAGUCHI AKIRA**

(54) PLASMA ETCHING ELECTRODE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the electrode which enables uniform etching by solving or eliminating problems or defects of a conventional technique and controlling dust generation at a possible minimum level and also to provide the manufacture of the electrode.

SOLUTION: This plasma etching electrode consists of single crystal silicon or polycrystalline silicon. As the plasma etching electrode consisting of single crystal silicon, which has a 0.0001 to 40Ω.cm electrical resistivity value and a crystal surface equal to the (100) plane and is doped with boron or phosphorus and also, subjected to surface etching treatment with acid and further subjected to heat treatment under vacuum, is used. As the plasma etching electrode consisting of polycrystalline silicon, which has a 0.0001 to 400Ω.cm electrical resistivity value and is doped with boron or phosphorus and also, subjected to surface etching treatment with acid and further subjected to heat treatment under vacuum, is used. This manufacture comprises: doping metallic silicon with boron or phosphorus; subjecting the surface of an electrode formed from the doped metallic silicon to etching treatment with acid; and thereafter, further subjecting the resulting treated electrode to heat treatment under vacuum.

LEGAL STATUS

[Date of request for examination] **13.12.2000**

[Patent number] **3728021**

[Date of registration] **07.10.2005**

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-17393

(43) 公開日 平成10年(1998)1月20日

(51) Int. Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
C30B 29/06		C30B 29/06		C
C23F 4/00		C23F 4/00		A
C30B 33/12		C30B 33/12		
H01L 21/3065		H01L 21/302		B

審査請求 未請求 請求項の数 7 FD (全 5 頁)

(21) 出願番号	特願平8-188336	(71) 出願人	000004374 日清紡績株式会社 東京都中央区日本橋人形町2丁目31番11号
(22) 出願日	平成8年(1996)6月28日	(72) 発明者	斎藤 一夫 東京都足立区西新井栄町1-18-1 日清紡績株式会社東京研究センター内
		(72) 発明者	望月 保志 東京都足立区西新井栄町1-18-1 日清紡績株式会社東京研究センター内
		(72) 発明者	山口 彰 東京都足立区西新井栄町1-18-1 日清紡績株式会社東京研究センター内
		(74) 代理人	弁理士 小林 雅人 (外1名)

(54) 【発明の名称】 プラズマエッティング電極及びその製造方法

(57) 【要約】

【課題】 従来技術の難点を解消し、ダストの発生を極力抑制することにより、均一なエッティングを可能としたプラズマエッティング電極及びその製造方法を提供する。

【解決手段】 本発明のプラズマエッティング電極は、単結晶シリコンからなるプラズマエッティング電極において、1. 電気抵抗が0.0001乃至40Ωcmであり、2. 結晶面が(100)面であり、3. ボロン又はリンによりドープされていて、4. 表面が酸によりエッティング処理されていて、5. 真空中での熱処理が施されていることを特徴とするか、或いは、多結晶シリコンからなるプラズマエッティング電極において、1. 電気抵抗が0.0001乃至40Ωcmであり、2. ボロン又はリンによりドープされていて、3. 表面が酸によりエッティング処理されていて、4. 真空中での熱処理が施されていることを特徴とする。又、本発明のプラズマエッティング電極の製造方法は、金属シリコンをボロン又はリンでドープし、電極表面を酸によりエッティング処理した後、真空中で熱処理を施すことを特徴とする。

【特許請求の範囲】

【請求項 1】 単結晶シリコンからなるプラズマエッチング電極において、

1. 電気抵抗が 0.0001 乃至 $40 \Omega \text{ cm}$ であり、
 2. 結晶面が (100) 面であり、
 3. ボロン又はリンによりドープされていて、
 4. 表面が酸によりエッティング処理されていて、
 5. 真空中での熱処理が施されている
- ことを特徴とするプラズマエッティング電極。

【請求項 2】 ボロンによるドープの量が、 1×10^4 ~ $1 \times 10^3 \text{ ppm}$ である請求項 1 に記載のプラズマエッティング電極。

【請求項 3】 リンによるドープの量が $3 \times 10^4 \text{ ppm}$ ~ 10% である請求項 1 に記載のプラズマエッティング電極。

【請求項 4】 多結晶シリコンからなるプラズマエッティング電極において、

1. 電気抵抗が 0.0001 乃至 $40 \Omega \text{ cm}$ であり、
 2. ボロン又はリンによりドープされていて、
 3. 表面が酸によりエッティング処理されていて、
 4. 真空中での熱処理が施されている
- ことを特徴とするプラズマエッティング電極。

【請求項 5】 ボロンによるドープの量が、 1×10^4 ~ $1 \times 10^3 \text{ ppm}$ である請求項 4 に記載のプラズマエッティング電極。

【請求項 6】 リンによるドープの量が $3 \times 10^4 \text{ ppm}$ ~ 10% である請求項 4 に記載のプラズマエッティング電極。

【請求項 7】 金属シリコンをボロン又はリンでドープし、電極表面を酸によりエッティング処理した後、真空中で熱処理を施すことを特徴とするプラズマエッティング電極の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、集積回路 (IC) や大規模集積回路 (LSI) 等の半導体集積回路や光通信用の導波路を製造する際に使用される平行平板型のプラズマエッティング電極及びその製造方法に関するものである。

【0002】

【従来の技術】 最近になって、半導体集積回路の微細化技術と高密度化技術の進展に伴い、平行平板型電極を使い、ウエハ上に微細なパターンを高精度に形成することができるプラズマエッティング電極に関する技術の重要性が高まっている。

【0003】 現在、上記のようなプラズマエッティング電極としては、アルミ、グラファイト、ガラス状カーボン、石英や金属シリコン等によるものが使用されている。

【0004】 しかしながら、従来のプラズマエッティング

電極には、プラズマエッティング中にそれ自体が消耗すると共に導入されるガスと反応し、酸化物或いはふつ化物となって飛散してしまい、電極の素材やその純度にもよるが、場合によっては半導体デバイス等の被エッティング物に影響を与えるという難点があった。

【0005】 即ち、例えば、アルミには消耗した際に被エッティング物の金属汚染源となる金属酸化物が発生するという問題があり、グラファイトは本来焼結体であるので、これにはエッティング中にダストが大量に発生するという問題があり、ガラス状カーボンはダストの発生は少ないものの、純度に限界があると共にやはり被エッティング物の金属汚染源となる金属酸化物が含まれているという問題があり、石英は絶縁材料であるので、電極としての使用には本来適していないという問題がある。

【0006】 一方、金属シリコンは、本来半導体用に製造されている素材であるので、半導体デバイス等と同様のレベルにおいて不純物の制御が可能であるという利点を有している。

【0007】

20 【発明が解決しようとする課題】 しかしながら、金属シリコンによる従来のプラズマエッティング電極には、電極表面に存在すると推定されているマイクロクラックがプラズマによって破壊されてダストが発生し、この電極の素材である金属シリコンは、半導体デバイス等とは同一の材質であるため、半導体デバイス等に与える影響は上記他の素材よりは小さいと考えられるものの、ダスト中のドーパントによる被エッティング物の汚染を避けることができない。

【0008】 従って、半導体デバイス等と同様のレベルにおいて不純物の制御をすると共に、プラズマエッティング時のダストの発生を無くした金属シリコンによるプラズマエッティング電極を提供することができれば、半導体集積回路の微細化技術と高密度化技術に寄与することが大と考えられる。

【0009】 本発明は、このような従来技術を背景としてなされたもので、ダストの発生を極力抑制することにより、均一なエッティングを可能としたプラズマエッティング電極及びその製造方法を提供することを目的とする。

【0010】

40 【課題を解決するための手段】 本発明は、上記目的を達成するため、単結晶シリコンからなるプラズマエッティング電極において、

1. 電気抵抗が 0.0001 乃至 $40 \Omega \text{ cm}$ であり、
 2. 結晶面が (100) 面であり、
 3. ボロン又はリンによりドープされていて、
 4. 表面が酸によりエッティング処理されていて、
 5. 真空中での熱処理が施されている
- ことを特徴とするプラズマエッティング電極、及び、多結晶シリコンからなるプラズマエッティング電極において、
1. 電気抵抗が 0.0001 乃至 $40 \Omega \text{ cm}$ であり、

2. ボロン又はリンによりドープされていて、
 3. 表面が酸によりエッティング処理されていて、
 4. 真空中での熱処理が施されている
- ことを特徴とするプラズマエッティング電極を提供する。

【0011】本発明は、上記目的を達成するため、更に、金属シリコンをボロン又はリンでドープし、電極表面を酸によりエッティング処理した後、真空中で熱処理を施すことを特徴とするプラズマエッティング電極の製造方法を提供する。

【0012】

【発明の実施の態様】以下、本発明を詳細に説明する。

【0013】本発明のプラズマエッティング電極は、上述のように単結晶シリコン又は多結晶シリコンからなるが、これら金属シリコンにおける抵抗値としては、電気抵抗で0.0001から40Ωcmが好ましく、電気抵抗がこの値より大きいと、プラズマ発生電圧が極端に高くなるため、電極の損傷が大きくなってしまい、又、電気抵抗がこの値より小さいと、ドーパントが多くなるため、シリコンウェハ等の被エッティング物を汚染してしまう。

【0014】又、金属シリコンが単結晶シリコンである場合、その結晶面には(100)、(110)、(111)があるが、本発明のプラズマエッティング電極における単結晶シリコンの結晶面は、この中で(100)面が最も好ましく、(110)面や(111)面を使用した場合、穴加工や外周加工中にクラックが入りやすく、このクラックがエッティング中の大量なダスト発生につながってしまう。

【0015】従来より提供されているプラズマエッティング電極では、種々のドーパントが使用されているが、本発明のプラズマエッティング電極におけるドーパントとしては、ボロン又はリンを使用する。ボロン又はリン以外の他のドーパントを使用した場合、ダストが発生してシリコンウェハ等の被エッティング物が汚染されやすくなるばかりか、理由は不明であるがダストの発生量が増加してしまう。

【0016】尚、上記ドーパントとしてのボロンの使用量としては $1 \times 10^4 \sim 1 \times 10^5$ ppmという範囲を、又、リンの使用量としては 3×10^4 ppm ~ 10 %という範囲をそれぞれ例示することができ、これらドーパントを上記範囲で使用すると、本発明のプラズマエッティング電極の電気抵抗を前記所定の範囲内とすることができる。

【0017】又、本発明のプラズマエッティング電極は、上記要件を満たすシリコン材料を用いて形成するのであるが、どのような優れた加工を行っても、若干ではあるものの表面に歪みやマイクロクラックが発生してしまい、この歪みやマイクロクラックが残ったままプラズマエッティングを行うと、歪みやマイクロクラックからシリコンが剥離し、ダストの大量発生の原因になってしま

う。そのため、本発明のプラズマエッティング電極では、電極表面に対し酸によるケミカルエッティングを行うことで、歪みやマイクロクラックを減少させ、ダストの発生を大幅に抑制している。

【0018】尚、上記ケミカルエッティングで使用する酸は、金属シリコンを溶解するものであればどのようなものでも良いが、例えば、フッ酸や、フッ酸と硝酸と酢酸等の混酸を挙げることができる。

【0019】上記のようにケミカルエッティングを行った後、最終工程として真空中で熱処理を施すことにより、本発明のプラズマエッティング電極と/orすることができる。

この真空中での熱処理の目的は、第一には、酸によるケミカルエッティングにより多くのマイクロクラックは除去できるが、若干のマイクロクラックが残るので、これを更に少なくすることと、第二には、酸によるケミカルエッティングにより表面に若干の酸が残るため、この酸を分解すると共に、他の不純物を除去することにある。

【0020】上記真空中での熱処理における処理温度としては、200°C以上1200°C以下、好ましくは400°C以上1100°C以下という範囲を例示することができる。

【0021】上記のように製造された本発明のプラズマエッティング電極は、シリコンの脱落によるダストの発生が極端に抑制され、高精度で汚染源となることのない理想的なプラズマエッティング電極といふことができる。

【0022】以下、本発明を実施例により詳細に説明する。

【0023】実施例1

ボロンによりドーピングされ、電気抵抗が35Ωcmで結晶面(100)の単結晶シリコン板に対し、ダイヤモンド工具を用いて、7mmピッチでφ0.5mmの穴を788個開けると共に、外形280mm、厚さ5mmの円盤状に加工した。加工したシリコン板を50°Cのフッ酸に60秒間浸漬してケミカルエッティングを行った。その後、不純物を除去するために、シリコン板を真空炉に入れ、温度400°Cにて1時間熱処理し、プラズマエッティング電極を作製した。

【0024】実施例2

ボロンによりドーピングされ、電気抵抗15Ωcmで結晶面(100)の単結晶シリコン板を用い、50°Cの混酸(フッ酸:硝酸:酢酸=1:4:1)に60秒間浸漬することによりケミカルエッティングを行った以外は実施例1と同様にして、プラズマエッティング電極を作製した。

【0025】実施例3~11

以下の表1に示した単結晶シリコン板を用いた以外は実施例2と同様にして、プラズマエッティング電極を作製した。

【0026】実施例12

ボロンによりドーピングされ、電気抵抗35Ωcmの多結晶シリコン板を用いた以外は実施例1と同様にして、

プラズマエッティング電極を作製した。

【0027】実施例18

ボロンによりドーピングされ、電気抵抗 $15\Omega\text{cm}$ の単結晶シリコン板を用いた以外は実施例2と同様にして、プラズマエッティング電極を作成した。

【0028】実施例19～22

以下の表1に示した多結晶シリコン板を用いた以外は実施例2と同様にして、プラズマエッティング電極を作製した。

【0029】

【表1】

	シリコン板			クラック処理		
	電気抵抗 (Ωcm)	単結晶又は 多結晶／結晶面	ドーピング	ケミカル エッティング	熱処理 真空中 400°C	
実 施 例	1	35	単結晶／(100)	ボロン	フッ酸	あり
	2	15	単結晶／(100)	ボロン	混酸	あり
	3	15	単結晶／(100)	リン	同上	あり
	4	2	単結晶／(100)	ボロン	同上	あり
	5	2	単結晶／(100)	リン	同上	あり
	6	0.1	単結晶／(100)	ボロン	同上	あり
	7	0.1	単結晶／(100)	リン	同上	あり
	8	0.01	単結晶／(100)	ボロン	同上	あり
	9	0.01	単結晶／(100)	リン	同上	あり
	10	0.003	単結晶／(100)	ボロン	同上	あり
	11	0.003	単結晶／(100)	リン	同上	あり
	12	35	多結晶	ボロン	フッ酸	あり
	13	15	多結晶	ボロン	混酸	あり
	14	15	多結晶	リン	同上	あり
	15	2	多結晶	ボロン	同上	あり
	16	2	多結晶	リン	同上	あり
	17	0.1	多結晶	ボロン	同上	あり
	18	0.1	多結晶	リン	同上	あり
	19	0.01	多結晶	ボロン	同上	あり
	20	0.01	多結晶	リン	同上	あり
	21	0.003	多結晶	ボロン	同上	あり
	22	0.003	多結晶	リン	同上	あり

【0030】比較例1

真空熱処理を行わない以外は実施例2と同様にして、プラズマエッティング電極を作製した。

【0031】比較例2～5

以下の表2に示した単結晶シリコン板を用いた以外は実施例2と同様にして、プラズマエッティング電極を作製した。

【0032】比較例6

ケミカルエッティングを行わない以外は実施例2と同様にして、プラズマエッティング電極を作製した。

【0033】比較例7

ボロンによりドーピングされ、電気抵抗 $0.00005\Omega\text{cm}$ で結晶面(111)の単結晶シリコン板に対し、ダイヤモンド工具を用いて、7mmピッチで $\phi 0.5\text{mm}$ の穴を788個開けると共に、外形 280mm 、厚さ 5mm の円盤状に加工し、プラズマエッティング電極とした。

【0034】比較例8

ヒ素によりドーピングされ、電気抵抗 $15\Omega\text{cm}$ で結晶面(100)の単結晶シリコン板を用いた以外は実施例

1と同様にして、プラズマエッティング電極を作製した。

【0035】比較例9

ボロンによりドーピングされ、電気抵抗 $15\Omega\text{cm}$ の多結晶シリコン板を用い、ケミカルエッティングを行わない以外は実施例2と同様にして、プラズマエッティング電極を作製した。

【0036】比較例10

ボロンによりドーピングされ、電気抵抗 $15\Omega\text{cm}$ の多結晶シリコン板を用い、真空熱処理を行なわない以外は実施例2と同様にして、プラズマエッティング電極を作成した。

【0037】比較例11

ボロンによりドーピングされ、電気抵抗 $0.00005\Omega\text{cm}$ の多結晶シリコン板を、ダイヤモンド工具を用いて、7mmピッチで $\phi 0.5\text{mm}$ の穴を788個開けると共に、外形 280mm 、厚さ 5mm の円盤状に加工し、プラズマエッティング電極とした。

【0038】

【表2】

	シリコン板	クラック処理				
		電気抵抗 (Ω cm)	単結晶又は 多結晶／結晶面	ドーパント	ケミカル エッティング	
比 較 例	1	15	単結晶／(100)	ポロン	混酸	無し
	2	15	単結晶／(111)	ポロン	同上	あり
	3	15	単結晶／(110)	ポロン	同上	あり
	4	0.00005	単結晶／(100)	ポロン	同上	あり
	5	45	単結晶／(100)	ポロン	同上	あり
	6	15	単結晶／(100)	ポロン	無し	あり
	7	0.00005	単結晶／(111)	ポロン	無し	無し
	8	15	単結晶／(100)	ヒ素	フッ酸	あり
	9	15	多結晶	ポロン	無し	あり
	10	15	多結晶	ポロン	混酸	無し
	11	15	多結晶	ポロン	無し	無し

【0039】エッティング試験

上記した電極をプラズマエッティング装置にセットし、反応ガスであるトリフロロメタン、アルゴン及び酸素の混合ガスを流し、プラズマを発生させた。8インチのシリコンウェハの酸化膜をエッティングし、その際にウェハ表面に付着した0.3 μm以上の粉末粒子の個数をカウントした。結果を以下の表3に示す。

【0040】

【表3】

	エッティング評価		エッティング評価		
	処理ウェハ 10枚目の ダスト量	処理ウェハ 1000枚目の ダスト量	処理ウェハ 10枚目の ダスト量	処理ウェハ 1000枚目の ダスト量	
比 較 例	1	8	4	31	52
	2	9	11	26	31
	3	10	11	22	46
	4	6	8	23	32
	5	8	9	40	49
	6	4	7	30	51
	7	5	10	34	54
	8	8	4	21	49
	9	5	6	82	130
	10	8	3	66	97
	11	10	6	73	144
	12	10	5		
	13	10	12		
	14	10	12		
	15	8	10		
	16	8	10		
	17	6	8		
	18	6	10		
	19	9	6		
	20	6	5		
	21	10	6		
	22	10	8		

【0041】

【発明の効果】以上のように、本発明のプラズマエッティング電極によれば、エッティング工程でのダストの発生を

極端に減少させることができ、歩留りが良く、高精度なプラズマエッティングが可能である。